

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09018843 A**(43) Date of publication of application: **17.01.97**

(51) Int. Cl.

H04N 7/08
H04N 7/081
H04J 3/00

(21) Application number: **07184992**(71) Applicant: **SONY CORP**(22) Date of filing: **29.06.95**(72) Inventor: **TERAJIMA TAKASHI**(54) **MULTIPLEXER**

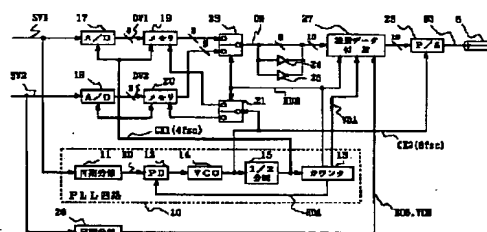
the simple constitution.

(57) Abstract:

COPYRIGHT: (C)1997,JPO

PURPOSE: To multiplex digital video signals DV in a simple constitution by subjecting signals DV1 and DV2 to time base compression based on a reference signal synchronized with the horizontal synchronizing signal of the signal DV1 and multiplexing them and converting them to serial data.

CONSTITUTION: A PLL circuit 10 separates a horizontal/vertical synchronizing signal (HD/VD) from a video signal SV1 to output clocks CK1 and CK2 synchronized with the signal HD and a reference/vertical synchronizing signal (HDD /VDA). A/D conversion circuits 17 and 18 write digital video signals DV1 and DV2, which are obtained by subjecting the signals SV1 and SV2 to A/D conversion based on the clock CK1, in memories 19 and 20 based on the clock CK1. Selection circuits 21 and 23 are switched based on the signal BDD and output the clock CK2 to the memory 19/20 to selectively output the output data of the memory 19/20 in the first/latter half of one horizontal scanning period of the signal SV1. Thus, data DM where signals DV1 and DV2 subjected to time base compression are multiplexed by memories 19 and 20 is outputted in



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-18843

(43)公開日 平成9年(1997)1月17日

(51)Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所	
H 0 4 N	7/08		H 0 4 N	7/08	Z
	7/081		H 0 4 J	3/00	M
H 0 4 J	3/00				

審査請求 未請求 請求項の数2 F D (全 9 頁)

(21)出願番号 特願平7-184992

(22)出願日 平成7年(1995)6月29日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 寺島 孝

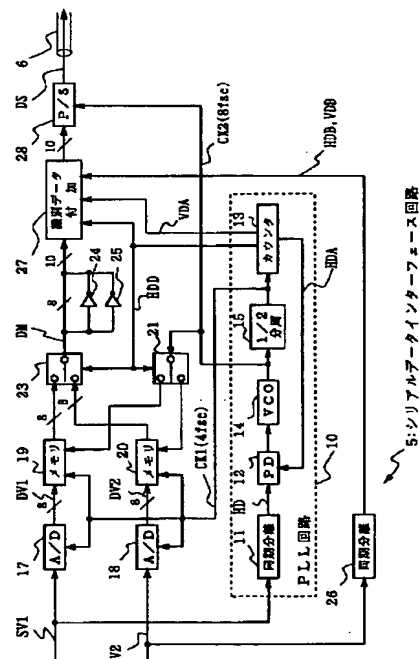
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(54)【発明の名称】 多重化装置

(57)【要約】

【目的】簡易な構成で、複数チャンネルのビデオ信号を多重化してシリアル伝送することができる多重化装置を提案する。

【構成】複数のデジタルビデオ信号DV1、VD2のうちの、1のデジタルビデオ信号DV1の水平同期信号に同期した基準信号HDDを基準にして、これら複数のデジタルビデオ信号DV1、VD2を時間軸圧縮し、該時間軸圧縮した複数のデジタルビデオ信号DV1、VD2を多重化してシリアルデータDSに変換する。



【特許請求の範囲】

【請求項1】 複数のデジタルビデオ信号のうちの、1のデジタルビデオ信号の水平同期信号に同期した基準信号を生成する基準信号生成手段と、前記基準信号を基準にして、前記水平同期信号で決まる水平走査期間を単位にして、前記複数のデジタルビデオ信号を時間軸圧縮し、該時間軸圧縮した複数のデジタルビデオ信号を多重化してシリアルデータに変換するデータ変換手段とを備えることを特徴とする多重化装置。

【請求項2】 前記データ変換手段は、前記各デジタルビデオ信号に、各デジタルビデオ信号の水平帰線期間及び垂直帰線期間を識別する識別データを介挿した後、前記シリアルデータに変換することを特徴とする請求項1に記載の多重化装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、多重化装置に関し、1のビデオ信号を基準にして複数のビデオ信号を時間軸圧縮して多重化することにより、簡易な構成で複数チャンネルのビデオ信号を多重化し、シリアル伝送できるようにする。

【0002】

【従来の技術】従来、工場、公共施設等の監視システムにおいては、監視箇所それぞれ監視カメラを設置し、これら監視カメラの撮像結果を監視室等において集中してモニタできるようになされている。

【0003】このためこの種の監視システムに適用される監視カメラにおいては、それぞれ同軸ケーブル等により監視室のモニタ装置に接続され、また監視システムより送出される基準信号に同期して動作するようになされていた。

【0004】

【発明が解決しようとする課題】ところでこの種の監視カメラの撮像結果を1系統の伝送路で伝送することができれば、煩雑なケーブル敷設作業を簡略化することができ、また必要に応じて監視カメラを増設することができ、便利であると考えられる。

【0005】本発明は以上の点を考慮してなされたもので、簡易な構成で、複数チャンネルのビデオ信号を多重化して伝送することができる多重化装置を提案しようとするものである。

【0006】

【課題を解決するための手段】かかる課題を解決するため本発明においては、複数のデジタルビデオ信号のうちの、1のデジタルビデオ信号の水平同期信号に同期した基準信号を生成する基準信号生成手段と、この基準信号を基準にして、先の水平同期信号で決まる水平走査期間を単位にして、複数のデジタルビデオ信号を時間軸圧縮し、該時間軸圧縮した複数のデジタルビデオ信

号を多重化してシリアルデータに変換するデータ変換手段とを備えるようにする。

【0007】このとき先のデータ変換手段が、各デジタルビデオ信号に、各デジタルビデオ信号の水平帰線期間及び垂直帰線期間を識別する識別データを介挿した後、シリアルデータに変換する。

【0008】

【作用】複数のデジタルビデオ信号のうちの、1のデジタルビデオ信号の水平同期信号に同期した基準信号により、この水平同期信号で決まる水平走査期間を単位にして、複数のデジタルビデオ信号を時間軸圧縮し、該時間軸圧縮した複数のデジタルビデオ信号を多重化してシリアルデータに変換すれば、1系統の基準信号により複数のデジタルビデオ信号を処理して多重化することができる。

【0009】このとき先のデータ変換手段が、各デジタルビデオ信号に、各デジタルビデオ信号の水平帰線期間及び垂直帰線期間を識別する識別データを介挿した後、シリアルデータに変換すれば、受信側においては、この識別データを基準にして必要なデジタルビデオ信号を処理することができる。

【0010】

【実施例】以下、適宜図面を参照しながら本発明の実施例を詳述する。

【0011】図2は、本発明の一実施例に係る監視システムを示すブロック図である。この監視システム1は、NTSC方式のテレビジョンカメラでなる監視カメラ2及び3により所望の被写体を撮像し、その撮像結果を監視室に設置したモニタ装置4でモニタする。このため監視カメラ2及び3は、それぞれ撮像結果でなるビデオ信号SV1及びSV2をシリアルデータインターフェース回路5を介して同軸ケーブル6に送出し、続くシリアルデータインターフェース回路7からモニタ装置4に出力する。

【0012】すなわち図1に示すように、シリアルデータインターフェース回路5は、ビデオ信号SV1をPLL(Phase Locked Loop)回路10に入力し、このビデオ信号SV1より動作基準のクロックCK1、CK2等を生成する。

【0013】すなわちこのPLL回路10において、同期分離回路11は、ビデオ信号SV1より水平同期信号HD、垂直同期信号を分離する。位相検出回路(PD: Phase Detector)12は、この水平同期信号HDとカウンタ13より出力される水平同期信号HDAとの位相比較結果を得、この位相比較結果を図示しないローパスフィルタを介して電圧制御型発振回路(VCO: Voltage Controlled Oscillator)14に出力する。

【0014】電圧制御型発振回路14は、この位相比較結果を制御電圧として入力し、ビデオ信号SV1のサブキャリア周波数 f_{sc} に対して、周波数 $8f_{sc}$ で、か

つビデオ信号SV1に同期したクロックCK2を生成する。1/2分周回路15は、このクロックCK2を2分周し、ビデオ信号SV1に同期した周波数4 f s cのクロックCK1を生成する。

【0015】カウンタ13は、この周波数4 f s cのクロックCK1を規定数だけカウントするリングカウンタで形成され、上述の水平同期信号HDAを生成する。これによりPLL回路10は、この水平同期信号HDAを位相比較回路12に帰還してフィードバックループを形成し、ビデオ信号SV1に同期したクロックCK1及びCK2を生成するようになされている。またカウンタ13は、同様にしてビデオ信号SV1の水平同期信号HDに同期してなるデューティ比50 [%]の基準同期信号HDD、ビデオ信号SV1の垂直同期信号に同期してなる垂直同期信号VDAを生成して出力する。

【0016】図3に示すように、アナログデジタル変換回路(A/D)17及び18は、この周波数4 f s cのクロックCK1(図3(C))を基準にしてそれぞれビデオ信号SV1及びSV2(図3(A)及び(B))をアナログデジタル変換し、各ビデオ信号SV1及びSV2をそれぞれ8ビットのデジタルビデオ信号DV1及びDV2(図3(D)及び(E))に変換する。

【0017】これによりアナログデジタル変換回路17及び18は、2チャンネルのビデオ信号SV1及びSV2のうち、ビデオ信号SV1に同期したクロックCK1を基準にしてビデオ信号SV1及びSV2をデジタルビデオ信号DV1及びDV2に変換し、図4に示すように、このクロックCK1(図4(B))の生成基準となったビデオ信号SV1については(図4(A))、1水平走査期間を910サンプルだけサンプリングしてデジタルビデオ信号DV1を生成する。これに対してこのビデオ信号SV1と非同期のビデオ信号SV2については、このビデオ信号SV1の1水平走査期間に相当する期間を910サンプルだけサンプリングしてデジタルビデオ信号DV2を生成する。

【0018】メモリ19及び20は、それぞれクロックCK1を基準にして書き込みの処理を実行し、メモリ空間を順次循環的に使用してデジタルビデオ信号DV1及びDV2を格納する。さらにメモリ19及び20は、選択回路21を介して供給されるクロックCK2(図3(G))を基準にして、格納したデジタルビデオ信号DV1及びDV2を格納順に出力する。

【0019】選択回路21は、基準同期信号HDD(図3(F))を基準にして動作を切り換えることにより、ビデオ信号SV1の1水平走査期間のうち、前半の期間でクロックCK2をメモリ19に出力し、後半の期間でクロックCK2をメモリ20に出力する。

【0020】これによりメモリ19及び20は、ビデオ信号SV1の1水平走査期間に相当する910サンプルのデジタルビデオ信号DV1及びDV2を、1/2水

平走査期間に時間軸圧縮し、基準同期信号HDDに同期して交互に出力する。

【0021】選択回路23は、基準同期信号HDDを基準にして接点を切り換え、メモリ19及び20の出力データを選択出力する。これにより選択回路23は、メモリ19及び20により時間軸圧縮されたデジタルビデオ信号DV1及びDV2を多重化して出力し、多重化データDM(図3(H))を生成するようになされている。

【0022】これによりシリアルデータインターフェース回路5では、ビデオ信号SV1により生成したクロックCK1、CK2、基準同期信号HDDを基準にして、ビデオ信号SV1の水平走査期間を単位にして、ビデオ信号SV1及びSV2をデジタル信号に変換した後時間軸圧縮し、該時間軸圧縮した複数のデジタルビデオ信号DV1及びDV2をビデオ信号SV1の水平走査期間を基準にして多重化するようになされている。

【0023】インバータ回路24及び25は、この多重化データDMの下位2ビットの反転信号を出力し、これにより8ビットの多重化データDMに2ビットの余剰ビットを付加して10ビットに変換し、多重化データDMの直流成分を除去する。

【0024】同期分離回路26は、ビデオ信号SV2より水平同期信号HDB、垂直同期信号VDBを分離して出力する。識別データ付加回路27は、基準同期信号HDD、垂直同期信号VDA、水平同期信号HDB及び垂直同期信号VDBを基準にして多重化データDMに規定の識別データを介挿する。

【0025】すなわち図5に示すように、識別データ付加回路27は、基準同期信号HDD(図5(A)及び(B))を基準にして、ビデオ信号SV1の水平帰線期間の立ち上がりに相当するタイミングで3バイトのタイミングデータを介挿する。ここでタイミングデータは、クロックCK2(図5(C))に同期して、始めの1バイトが3 F F hに設定され、続く2バイトが0 0 0 hに設定されるようになされている(図5(D0)～(D9))。これにより識別データ付加回路27は、この水平帰線期間の立ち上がりに相当する多重化データDMについては、他のバイトでは許されていない全ビットが論理H及び論理Lの状態にセットし、シリアルデータに変換した後において、このタイミングデータを基準にしてバイトの切れ目を検出できるようになされている。

【0026】さらに識別データ付加回路27は、垂直同期信号VDAを基準にして、ビデオ信号SV1の垂直帰線期間の立ち上がりに相当するタイミングで、同様に、規定の識別データを多重化データDMに介挿する。これにより識別データ付加回路27は、タイミングデータとこの識別データを基準にして多重化データDMについて、ビデオ信号SV1の水平走査及び垂直走査のタイミングを検出できるようになされている。

【0027】また識別データ付加回路27は、水平同期信号HDB及び垂直同期信号VDBを基準にして、ビデオ信号SV2の垂直帰線期間及び水平帰線期間の立ち上がりに対応するタイミングで、多重化データDMにそれぞれ規定の識別データを介挿する。これにより同期分離回路26は、この識別データを基準にして多重化データDMについて、ビデオ信号SV2の水平走査及び垂直走査のタイミングを検出できるようになされている。かくするにつき、これらの識別データは、タイミングデータと同様に、他のバイトでは許されていない全ビットが論理H又は論理Lのバイトを組み合わせ、また他の識別データと異なるように規定され、これにより簡易かつ確実に各識別データを検出できるようになされている。

【0028】パラレルシリアル変換回路(P/S)28は、この識別データ付加回路27より出力される多重化データDMをパラレルシリアル変換し、これにより伝送速度約290〔Mbps〕(286〔Mbps〕 \div 910サンプル \times 525ライン \times 30フレーム \times 10ビット \times 2系統 $=4\times 3.579545\text{MHz}\times 10\text{ビット}\times 2\text{系統}$)のシリアルデータでなる伝送データDSを同軸ケーブル6に出力する。

【0029】これによりシリアルデータインターフェース回路5は、1系統の基準信号生成系によりビデオ信号SV1を基準にして基準信号を生成し、この基準信号を用いてデジタルビデオ信号DV1及びDV2を生成して時間軸圧縮した後、多重化してシリアルデータの形式で伝送対象に送出するようになされ、その分簡易な構成で2系統のビデオ信号SV1及びSV2を伝送できるようになされている。

【0030】図6は、監視室に設置されるシリアルデータインターフェース回路7を示すブロック図である。このシリアルデータインターフェース回路7において、シリアルパラレル変換回路(S/P)30は、同軸ケーブル6より伝送データDSを受け、この伝送データDSよりタイミングデータを検出する。さらにシリアルパラレル変換回路30は、このタイミングデータを基準にして伝送データDSをパラレルデータに変換し、多重化データDMを復調する。

【0031】さらにシリアルパラレル変換回路30は、このタイミングデータの検出周期を基準にして、この検出周期の1/2周期で信号レベルが変化する基準信号を生成し、これにより基準同期信号HDDを復調する。さらにシリアルパラレル変換回路30は、内蔵のPLL回路によりこの伝送データDSのクロックCK2を再生する。

【0032】選択回路31は、このシリアルパラレル変換回路30より出力される10ビットの多重化データDMのうち、上位8ビットの多重化データDMを入力し、これにより伝送時にインバータ回路24及び25で付加した余剰ビットを除去する。さらに選択回路31は、基

準同期信号HDDにより接点を切り換え、この上位8ビットの多重化データDMを交互にメモリ32及び33に出力し、これにより伝送時、選択回路23により多重化したデジタルビデオ信号DV1及びDV2を分離する。

【0033】選択回路34は、基準同期信号HDDにより接点を切り換え、クロックCK2をメモリ32及び33に交互に出力する。1/2分周回路35は、このクロックCK2を2分周してクロックCK1を再生する。

【0034】メモリ32及び33は、選択回路34より出力されるクロックCK2を基準にして、選択回路31より出力されるデジタルビデオ信号DV1及びDV2をそれぞれ順次格納すると共に、格納したデジタルビデオ信号DV1及びDV2をクロックCK1を基準にして出力することにより、時間軸圧縮されて伝送されたデジタルビデオ信号DV1及びDV2を時間軸伸長する。

【0035】すなわち図7において、メモリ32及び33のメモリ空間に対して、それぞれ書き込み及び読み出しの位置を記号W及びRで示すように、メモリ32は、基準同期信号HDD(図7(A))の1周期を単位にして書き込み読み出しの処理を実行し、この1周期のうち、基準同期信号HDDの信号レベルが時点t1で立ち上がった後、時点t2を経て時点t3に至るまでの前半、半周期の期間の間、選択回路31より入力されるデジタルビデオ信号DV1を格納する(図7(B))。さらにメモリ32は、このデジタルビデオ信号DV1の書き込み動作に追従して、書き込み時の1/2の速度で格納したデジタルビデオ信号DV1を読み出して出力し、これにより時間軸圧縮されたデジタルビデオ信号DV1を時間軸伸長する。

【0036】同様にメモリ33は、基準同期信号HDDの1周期を単位にして書き込み読み出しの処理を実行し、この1周期のうち、基準同期信号HDDの信号レベルが時点t3で立ち下がった後、時点t4を経て時点t5に至るまでの後半、半周期の期間の間、選択回路31より入力されるデジタルビデオ信号DV2を格納する(図7(C))。さらにメモリ33は、このデジタルビデオ信号DV2の書き込み動作に追従して、書き込み時の1/2の速度で格納したデジタルビデオ信号DV2を読み出して出力し、これにより時間軸圧縮されたデジタルビデオ信号DV2を時間軸伸長する。

【0037】デジタルアナログ変換回路(D/A)37及び38は、このメモリ32及び33より出力されるデジタルビデオ信号DV1及びDV2をそれぞれデジタルアナログ変換して出力し、これによりビデオ信号SV1及びSV2を復調する。

【0038】これによりシリアルデータインターフェース回路7では、ビデオ信号SV1を基準にして多重化されて伝送された伝送データDSを、ビデオ信号SV1を

10

20

30

40

50

して所望の形態で表示できるようになされ、その分簡易な構成で使い勝手を向上できるようになされている。

【００４４】以上の構成において、撮像結果でなるビデオ信号SV１及びSV２は、それぞれアナログデジタル変換回路１７及び１８において、ビデオ信号SV１より生成されたクロックCK１を基準にしてディジタルビデオ信号DV１及びDV２に変換された後、メモリ１９及び２０に入力され、ここでビデオ信号SV１より生成されたクロックCK２及び基準同期信号HDDを基準にして、ディジタルビデオ信号DV１の１水平走査期間を単位にして時間軸圧縮される。

【００４５】この時間軸圧縮されたデジタルビデオ信号DV１及びDV２は、選択回路２３を介して基準同期信号HDDを基準にして多重化され、続くインバータ回路２４及び２５で、その結果得られる多重化データDMに下位２ビットを反転してなる余剰ビットが付加され、直流成分が除去される。

【 0 0 4 6 】この多重化データDMは、続く識別データ付加回路27により、基準同期信号HDDを基準にしてビデオ信号SV1の水平走査開始に対応する一定期間にタイミングデータが付加され、さらにビデオ信号SV1の垂直同期信号VDAに対応するタイミングで、またビデオ信号SV2の水平同期信号HDB及びVDBに対応するタイミングで、それぞれ識別データが付加され、続くパラレルシリアル変換回路28によりシリアルデータとなる伝送データDSに変換されて同軸ケーブル6に送出される。

【0047】これによりこの2つのビデオ信号SV1及びSV2は、ビデオ信号SV1を基準にして1系統の基準信号生成系により生成されたクロックCK1、CK2、基準同期信号HDDを基準にして、デジタルビデオ信号DV1及びDV2に変換されて時間軸圧縮された後、多重化されてシリアルデータの形式で伝送対象に送出される。

【 0 0 4 8 】 このようにして伝送対象に伝送された伝送データ DS は、シリアルパラレル変換回路 3 0 において、伝送時に付加されたタイミングデータを基準にして 1 0 ビットパラレルの多重化データ DM に復調され、また伝送時の動作基準とされた基準同期信号 HDD が再生される。この多重化データ DM は、余剰ビットが除去された後、続く選択回路 3 1 において、基準同期信号 HDD を基準にしてデジタルビデオ信号 DV 1 及び DV 2 に分離され、このデジタルビデオ信号 DV 1 及び DV 2 が続くメモリ 3 2 及び 3 3 で時間軸伸長される。

【００４９】この時間軸伸長されたデジタルビデオ信号DV１及びDV２は、伝送時とは逆に、デジタルアナログ変換回路３７及び３８によりビデオ信号SV１及びSV２に変換され、信号処理回路４２に入力される。この信号処理回路４２において、ビデオ信号SV１及びSV２は、切り換え信号SWに応動して対応する水平同期

期信号及び垂直同期信号が付加され、モニタ装置4に出力され、これにより各監視カメラ2又は3の撮像結果がモニタ装置4によりモニタされる。

【0050】これに対してワイブモードでは、ビデオ信号SV1又はSV2の水平走査期間を基準にして、ビデオ信号SV1及びSV2が交互に出力され、また切り換え信号SWに応動してビデオ信号SV1又はSV2に対応する水平同期信号及び垂直同期信号が付加され、これによりワイブの画像がモニタ装置4に表示され、2つの監視地点を同時に観察することができる。

【0051】以上の構成によれば、ビデオ信号SV1を基準にして1系統の基準信号生成系により生成されたクロックCK1、CK2、基準同期信号HDDを基準にして、ビデオ信号SV1及びSV2をデジタルビデオ信号DV1及びDV2に変換して時間軸圧縮した後、多重化してシリアルデータの形式で伝送対象に送出することにより、簡易な構成で、2系統のビデオ信号を多重化し、シリアル伝送することができる。

【0052】さらにこのビデオ信号SV1を基準にして伝送された伝送データDSを復調すると共に、必要に応じてこのビデオ信号SV1を基準にして、また伝送時に付加された識別データを基準にしてビデオ信号SV1及びSV2を選択出力することにより、伝送されたビデオ信号SV1及びSV2を復調して所望の形態で表示することができ、その分簡易な構成で、使い勝手を向上することができる。

【0053】なお上述の実施例においては、2系統のビデオ信号を多重化して伝送する場合について述べたが、本発明はこれに限らず、複数系統のビデオ信号を伝送する場合に広く適用することができる。

【0054】さらに上述の実施例においては、アナログ信号でなるビデオ信号をデジタルビデオ信号に変換して多重化する場合について述べたが、本発明はこれに限らず、デジタル信号でなるビデオ信号を多重化して伝送する場合にも広く適用することができる。

【0055】また上述の実施例においては、本発明を監視システムに適用する場合について述べたが、本発明はこれに限らず、種々の伝送システムに広く適用することができる。

【0056】

【発明の効果】上述のように本発明によれば、複数のデジタルビデオ信号のうちの、1のデジタルビデオ信号の水平同期信号に同期した基準信号を基準にして、これら複数のデジタルビデオ信号を時間軸圧縮し、該時間軸圧縮した複数のデジタルビデオ信号を多重化してシリアルデータに変換することにより、簡易な構成で、複数チャンネルのビデオ信号を多重化し、シリアル伝送することができる。

【図面の簡単な説明】

10 【図1】本発明の一実施例による監視システムに適用されるシリアルデータインターフェース回路を示すブロック図である。

【図2】図1の監視システムの全体構成を示すブロック図である。

【図3】図1のシリアルデータインターフェース回路の動作の説明に供する信号波形図である。

【図4】図1のシリアルデータインターフェース回路のビデオ信号の処理の説明に供する信号波形図である。

20 【図5】図1のシリアルデータインターフェース回路のタイミングデータの説明に供する信号波形図である。

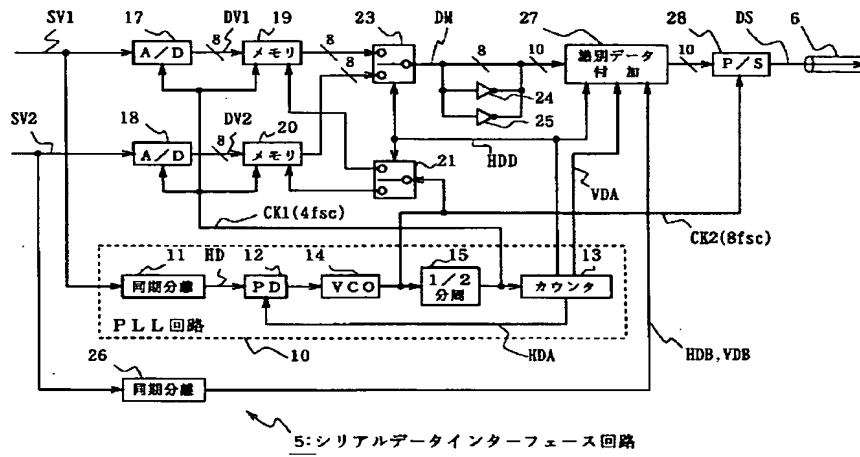
【図6】図2のシリアルデータインターフェース回路7を示すブロック図である。

【図7】図6のシリアルデータインターフェース回路の動作の説明に供する信号波形図である。

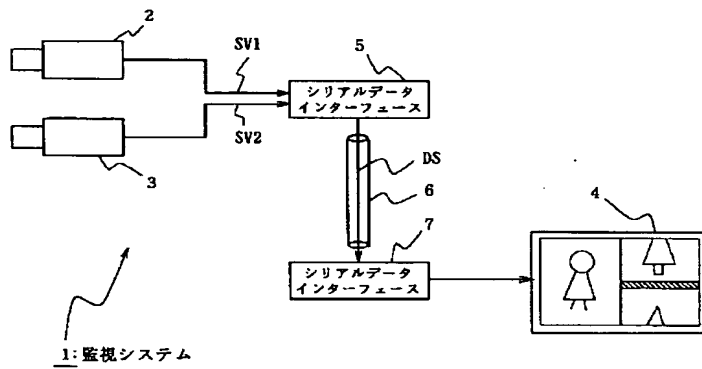
【符号の説明】

1	監視システム
2、3	監視カメラ
4	モニタ装置
5、7	シリアルデータインターフェース回路
30 6	同軸ケーブル
10	PLL回路
17、18	アナログデジタル変換回路
19、20、32、33	メモリ
27	識別データ付加回路
28	パラレルシリアル変換回路
30	シリアルパラレル変換回路
40	回路

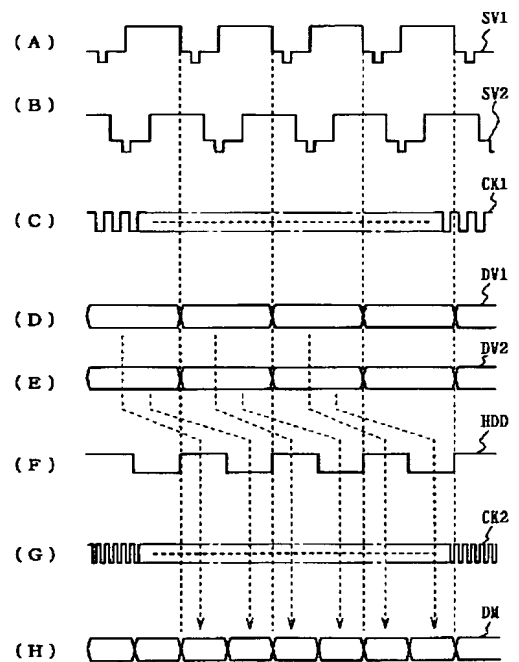
【図1】



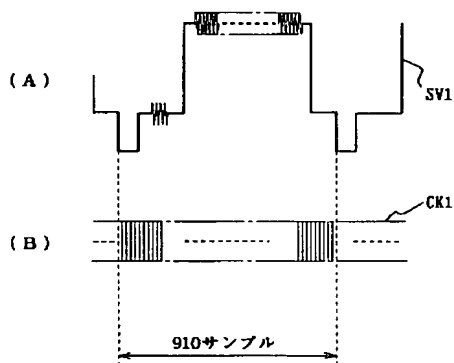
【図2】



【図3】



【図4】



7: シリアルデータインターフェース回路

【図7】

